

EPCのeGaN[®] FETの信頼性試験

Rob Strittmatter博士、Chunhua Zhou博士、Yanping Ma博士、Efficient Power Conversion Corporation

Efficient Power Conversion (EPC) 社は、2009年にエンハンスメント・モード窒化ガリウム (eGaN[®]) FETを初めて製品化し、それ以来、5本の信頼性レポートを公表し、書籍にも掲載しています[1-6]。このレポートの最初のセクションで、さまざまなストレス条件下でのEPCのeGaN FETの品質認定試験について報告します。テストのマトリックスは、耐圧40Vから200VまでのeGaN FETファミリーをカバーしています。2番目のセクションでは、通常の動作条件の範囲外で、デバイスを健全に動作させることによって導かれる加速係数を使って予測した故障率を報告します。

パート1: 40Vから200Vまでの 品質認定試験

品質認定試験の概要

EPCのeGaN FETには、シリコン・ベースのパワーMOSFETの標準的な条件の下で、さまざまなストレス・テストを行いました。これらのテストには以下が含まれます：

- ・高温逆バイアス (HTRB) 試験：部品には、最大定格温度でドレイン・ソース間電圧が印加されます。
- ・高温ゲート・バイアス (HTGB) 試験：部品には、最大定格温度でゲート・ソース間電圧が印加されます。
- ・高温保存 (HTS) 試験：部品には、最大定格温度の熱が加えられます。

- ・温度サイクル (TC) 試験：部品には、高温と低温の両極端が交互に加えられます。
- ・高温高湿逆バイアス (H3TRB) 試験：部品は、ドレイン・ソース間電圧を印加され、高温の下で多湿に曝されます。
- ・バイアスなしの圧力がま (オートクレーブ：AC) 試験 (またはプレッシャ・クッカー試験)：部品は、凝縮条件の下で、圧力、湿気、温度に曝されます。
- ・耐湿性レベル (MSL) 試験：部品には、湿気、温度、および、3サイクルのリフローが加えられます。
- ・静電気放電 (ESD) 試験：部品には、人体モデル (HBM) とマシン・モデル (MM) の下でESDが加えられます。

デバイスの安定性は、ストレス・バイアスを加えた後、直流の電氣的試験で検証されます。電氣的パラメータは、時間ゼロで、室温における中間の読み出し点で測定されます。ゲート・ソース間の漏れ、ドレイン・ソース間の漏れ、ゲート・ソース間のしきい電圧、オン抵抗などの電氣的パラメータは、データシートの仕様と比較されます。不具合は、部品がデータシートの仕様を超えたときに記録されます。eGaN FETは、可能なら、最新のJEDEC (半導体技術協会) 規格を満たすようにストレスをかけられます。

部品は、FR5 (高TgのFR4)、またはポリイミドのアダプタ・カード上に実装されました。2つの銅の層を備えた厚さ1.6 mmのアダプタ・カードを使用しました。表面の銅の層は、1オンス、または2オンスで、裏面の銅の層は1オンスでした。アダプタ・カード上に部品を実装するときに、米ケスター社の無洗浄フラックスのNXG1タイプ3はんだSAC305を使用しました。

高温逆バイアス試験

部品には、1000時間のストレス期間に、最大定格温度でドレイン・ソース間の定格電圧の80%を印加しました。ストレス・テストの部品の耐圧は、40V~200Vの範囲です。

ストレス・テスト	型番	修正	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数 (サンプル数 × ロット数)	継続時間 (時間)
HTRB	EPC2001	C	100	L (4.11 x 1.63)	T = 150°C, V _{DS} = 80 V	0	77 x 2	1000
HTRB	EPC2016	C	100	M (2.11 x 1.63)	T = 150°C, V _{DS} = 80 V	0	77 x 3	1000
HTRB	EPC2014	C	40	M (1.70 x 1.09)	T = 150°C, V _{DS} = 32 V	0	77 x 1	1000
HTRB	EPC8004		40	S (2.05 x 0.85)	T = 150°C, V _{DS} = 32 V	0	77 x 1	1000
HTRB	EPC2010	C	200	L (3.55 x 1.63)	T = 150°C, V _{DS} = 160 V	0	77 x 2	1000
HTRB	EPC2012	C	200	M (1.71 x 0.92)	T = 150°C, V _{DS} = 160 V	0	77 x 1	1000

表1 高温逆バイアス試験

注：デバイスEPC20xxCは、2014年第4四半期に出荷を開始します。

高温ゲート・バイアス試験

部品には、1000時間のストレス期間に、最大定格温度でゲート-ソース間にバイアス電圧5.75 Vまたは5.5 Vを印加しました。ストレス・テストの部品の耐圧は40 V~200 Vの範囲です。

ストレス・テスト	型番	修正	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数(サンプル数×ロット数)	継続時間 (時間)
HTGB	EPC2001	C	100	L (4.11 x 1.63)	T = 150°C, V _{GS} = 5.75 V	0	77 x 2	1000
HTGB	EPC2016	C	100	M (2.11 x 1.63)	T = 150°C, V _{GS} = 5.75 V	0	77 x 3	1000
HTGB	EPC2014	C	40	M (1.70 x 1.09)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC8004		40	S (2.05 x 0.85)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2010	C	200	L (3.55 x 1.63)	T = 150°C, V _{GS} = 5.75 V	0	77 x 2	1000
HTGB	EPC2012	C	200	M (1.71 x 0.92)	T = 150°C, V _{GS} = 5.75 V	0	77 x 1	1000

表2 高温ゲート・バイアス試験

高温保存試験

部品には、最大定格温度の熱を加えました。その能力を示すために、このテストにEPC2001CとEPC2016Cを選びました。

ストレス・テスト	型番	修正	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数(サンプル数×ロット数)	継続時間 (時間)
HTS	EPC2001	C	100	L (4.11 x 1.63)	T = 150°C, 空气中	0	77 x 1	1000
HTS	EPC2016	C	100	M (2.11 x 1.63)	T = 150°C, 空气中	0	77 x 2	1000

表3 高温保存 (HTS) 試験

温度サイクル試験

部品には、-40°Cと+125°Cの間の温度サイクルを合計1000サイクル実施しました。15°C/分の傾きで上昇し、JEDEC規格JESD22A104に従って5分の滞留時間を設定しました。部品の耐圧は、40 V~200 Vの範囲です。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数(サンプル数×ロット数)	継続期間 (サイクル)
TC	EPC2001	100	L (4.11 x 1.63)	-40°C~+125°C, 空气中	0	35 x 3	1000
TC	EPC8007	40	S (2.05 x 0.85)	-40°C~+125°C, 空气中	0	35 x 1	1000
TC	EPC2010	200	L (3.55 x 1.63)	-40°C~+125°C, 空气中	0	35 x 1	1000

表4 温度サイクル (TC) 試験

高温高湿逆バイアス試験

部品には、1000時間のストレス期間に、蒸気圧49.1 PSIAの下で、85%RH、85°Cにおいてドレイン-ソース間にバイアスを加えました。このテストは、JEDEC規格JESD22A101に従って実施されました。部品の耐圧は、40 V~200 Vの範囲です。40 Vの部品にはドレイン-ソース間にバイアス40 V、100 Vの部品にはドレイン-ソース間にバイアス80 V、200 Vの部品にはドレイン-ソース間にバイアス100 Vを印加しました。

ストレス・テスト	型番	修正	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数(サンプル数×ロット数)	継続時間 (時間)
H3TRB	EPC2001	C	100	L (4.11 x 1.63)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	25 x 1	1000
H3TRB	EPC2016	C	100	M (2.11 x 1.63)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	25 x 2	1000
H3TRB	EPC2015*		40	L (4.11 x 1.63)	T = 85°C, RH = 85%, V _{DS} = 40 V	0	50 x 1	1000
H3TRB	EPC2010*		200	L (3.55 x 1.63)	T = 85°C, RH = 85%, V _{DS} = 100 V	0	50 x 1	1000
H3TRB	EPC2012*		200	M (1.71 x 0.92)	T = 85°C, RH = 85%, V _{DS} = 100 V	0	50 x 1	1000

表5 高温高湿逆バイアス (H3TRB) サイクル試験 * 結果は、前回の信頼性レポートで公表 [5]。

注: デバイスEPC20xxCは、2014年第4四半期に出荷を開始します。

圧力がま(オートクレーブ)試験(バイアスなしのプレッシャ・クッカー試験)

部品は、JEDEC規格JESD22A102に従って、96時間のストレス期間に、蒸気圧29.7 PSIAの下で、121°Cで100%RHに曝しました。ストレスの間、部品には、電氣的なバイアスは加えていませんでした。その能力を示すために、このストレス・テストにEPC2001CとEPC2016Cを選択しました。

ストレス・テスト	型番	修正	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数(サンプル数×ロット数)	継続時間(時間)
AC	EPC2001	C	100	L (4.11 x 1.63)	T = 121°C, RH = 100%	0	25 x 1	96
AC	EPC2016	C	100	M (2.11 x 1.63)	T = 121°C, RH = 100%	0	25 x 2	96

図6 圧力がま(オートクレーブ:AC)試験

耐湿性レベル試験

部品は、168時間のストレス期間の間、85°Cで85%RHに曝しました。さらに、この部品には、IPC/JEDECの合同規格J-STD-020に従ったPbフリー・リフロアを3サイクル実施しました。その能力を示すために、このストレス・テストにEPC2001、EPC8003、EPC8007を選択しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm)	テスト条件	故障品の数	全サンプル数(サンプル数×ロット数)	継続時間(時間)
MSL1	EPC2001	100	L (4.11 x 1.63)	T = 85°C, RH = 85%, リフロア3回	0	25 x 1	168
MSL1	EPC8003	40	S (2.05 x 0.85)	T = 85°C, RH = 85%, リフロア3回	0	25 x 1	168
MSL1	EPC8007	40	S (2.05 x 0.85)	T = 85°C, RH = 85%, リフロア3回	0	25 x 1	168

表7 耐湿性レベル (MSL) 試験

静電気放電試験

部品は、JEDECの規格JESD22A114の人体モデル (HBM) とJESD22A115のマシン・モデル (MM) に従ったESDのHBMとMMを実施しました。チップ・サイズの範囲をカバーするために、テストにはEPC2001とEPC8006を選びました。

EPC2001 L (4.11 x 1.63)	ピン-ピン	合格した電圧	不合格だった電圧	JEDECのクラス
HBM	G-S	(±) 400 V	(+) 500 V	クラス1A
HBM	G-D	(±) 1500 V	(-) 2000 V	クラス1C
HBM	D-S	(±) 2000 V	(+) 3000 V	クラス2
MM	G-S	(±) 200 V	(-) 400 V	クラスB
MM	G-D	(±) 400 V	(+) 600 V	クラスC
MM	D-S	(±) 600 V	—	クラスC以上

EPC8006 S (2.05 x 0.85)	ピン-ピン	合格した電圧	不合格だった電圧	JEDECのクラス
HBM	G-S	(±) 350 V	(±) 500 V	クラス1A
HBM	G-D	(±) 250 V	(+) 350 V	クラス1A
HBM	D-S	(±) 250 V	(+) 350 V	クラス1A
MM	G-S	(±) 25 V	(+) 50 V	クラスA
MM	G-D	(±) 100 V	(-) 200 V	クラスA
MM	D-S	(±) 50 V	(+) 100 V	クラスA

表8 静電気放電 (ESD) 試験

注: デバイスEPC20xxCは、2014年第4四半期に出荷を開始します。

パートII:eGAN FETの信頼性を予測

ドレイン加速

HTRBストレスの下で、すべての種類のGaNFETの支配的な故障メカニズムは、オン抵抗 $R_{DS(on)}$ が動的に大きくなる方向へのシフトです[7]。このシフトは、ドレイン・バイアスによって増加し、十分に高いバイアスでは、その部品の抵抗値がデータシートの制限を超えた場合に、最終的に不具合が生じます。この効果は、伝導チャンネル(2DEG)の近くでトラップされた電子によって起こり、GaNEピタキシャル膜の深いバッファ層の中で生じます[8]。表面近くのトラップの制御と、水平方向と垂直方向の電界の制御によって、 $R_{DS(on)}$ の動的シフトを軽減しなければなりません。

この効果を定量化するために、加速されたドレイン電圧と3つの異なる温度(35°C、90°C、150°C)のマトリックスで、HTRB試験を実施しました。マトリックスのそれぞれのレグに32個のeGANFETを使い、ストレス時のドレイン電圧は、10V刻みで100V~130Vの範囲で

した。これらのテストは、2個の耐圧100Vのデバイス(EPC2001CとEPC2016C)で実施しました。同じ電圧のeGANFETのファミリーの中で、最初の $R_{DS(on)}$ で規格化したとき、 $R_{DS(on)}$ の動的なシフトが同じであることに注意してください。このような温度と電圧のレグの合計18種に対して、この試験を行いました。HTRBストレス中、各部品の $R_{DS(on)}$ は、一定間隔の時間で、その場でモニターしました。 $R_{DS(on)}$ は、時間に対して、予測可能な依存性があり、ストレス時間の対数に比例して増加します。

$$R(t) = R_0 (\alpha + \beta \ln[t]) \quad (1)$$

式(1)において、 α 、 β 、 R_0 は、個々の部品の時系列に測定された $R_{DS(on)}$ から抽出したフィット・パラメータです。これらのフィット値を使って、この時間が実際の測定時間を十分に超えていたとしても、 $R_{DS(on)}$ が故障の制限を超える時間を外挿することができます。図1(a)は、150°Cでの代表

的なデータを示しています。各部品に対して故障が発生する(外挿した)時間は、ワイブル・プロットの点で示されています[9]。各電圧/温度のレグのデータは、最尤法(MLE)を使って3パラメータのワイブル分布に当てはめました[10]。最尤推定値によって、フィット・パラメータの90%の信頼区間も得られました。

ワイブル・フィットは、平均故障時間(MTTF)などの各種統計量を計算するために使用し、部品の特定の割合(TF%)が故障すると予想される時間です。故障の3つの異なる割合、すなわち1%、0.01%、1ppmのときを図1(b)に示しました。白抜きの丸印は、最尤推定値を示し、エラー・バーは、ワイブル・パラメータの90%信頼区間から得られる不確実性を示します。100V(V_{DS} の最大定格で、 $R_{DS(on)}$ のシフトによる故障率1ppmの予想時間は、20年を超えています。

図1A: $R_{DS(on)}$ 故障のワイブル・プロット (150°C)

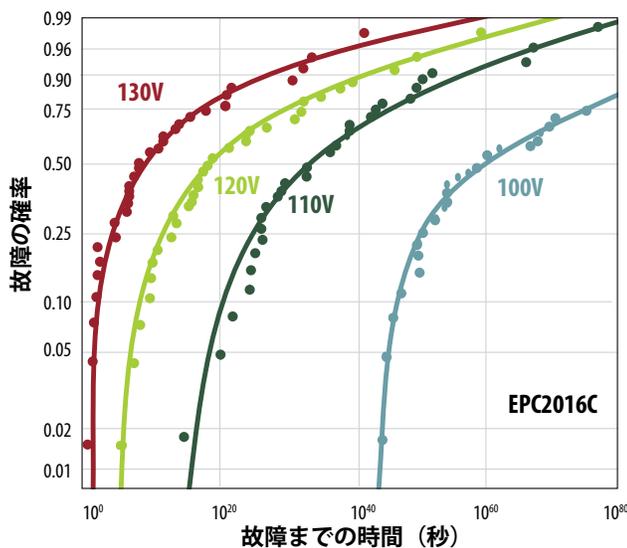


図1(a) HTRBストレス下での $R_{DS(on)}$ 故障の代表的なワイブル・プロット

図1B: V_{DS} 対故障までの時間 (150°C)

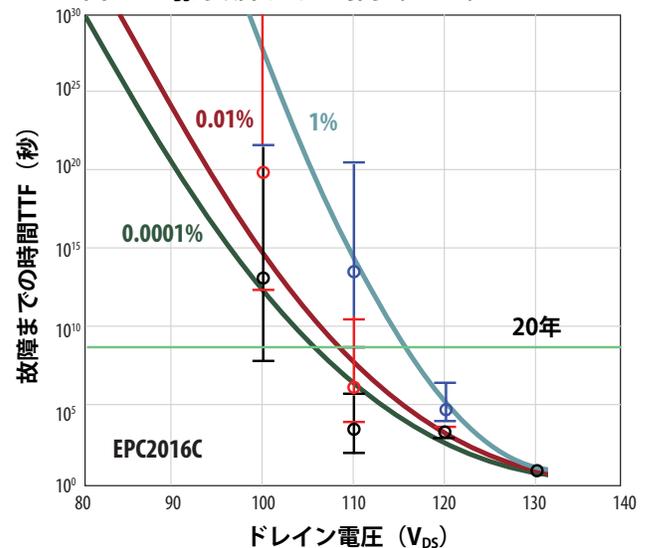


図1(b) ドレイン電圧に対する故障までの時間。20年を緑色の水平線で示しました。

図2 (a) は、この試験における3種類の温度レグのすべてに対する平均故障時間対 V_{DS} です。生データ(ワイブル・フィットの結果)は白抜き点で示しています。エラー・バーは、ワイブル・フィットの統計的不確実性に起因する90%の信頼区間を示しています。実線は、データへの2次多

項式のフィットです。これらは、単に補間した値で、物理的な意味はありません。図から、故障率はドレイン電圧によって強く加速され、35°Cと150°Cの間の温度による影響は弱いことが分かります。最大 V_{DS} (100 V)において、MTTFは、10年のラインを桁違いに超え、動作温度

に独立です。図2 (b) は、MTTFから直接導かれた故障発生件数 (FIT) の比率です [11]。FIT率は、110 Vにおいて10億デバイス時間当たりの故障は1以下で、最大 V_{DS} では無視できるほど小さくなっています。

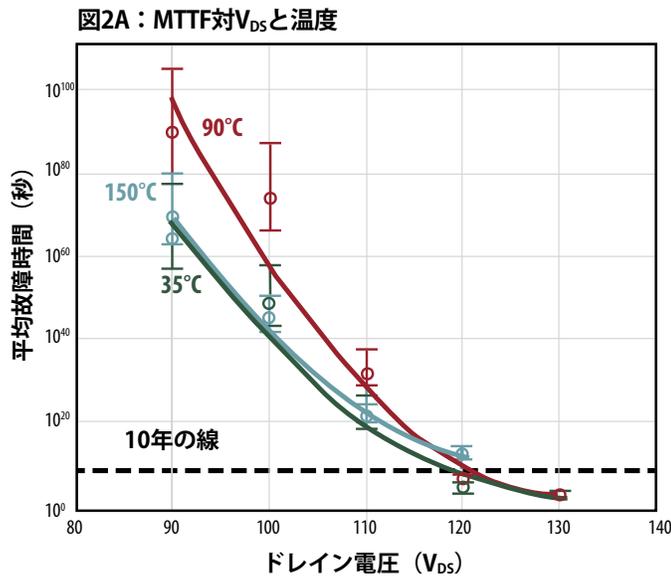


図2 (a) HTRBストレス中のドレイン電圧と温度に対する平均故障時間 (EPC2001C)。水平の破線は10年を示しています。

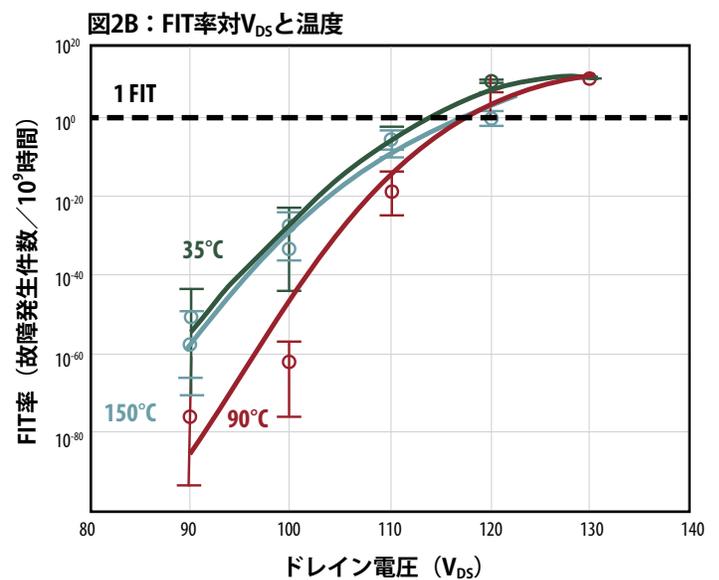


図2 (b) 故障発生件数 (FIT) の比率対 V_{DS} と温度 (EPC2001C)。単位は、10億デバイス-動作時間当たりの故障数で表されます。

ゲートの加速

高いゲート電圧で、HTGBストレスの間に故障につながるいくつかのメカニズムがあります。これには、絶縁破損、ゲート側壁破裂、および、ゲートのストレスから生じるオフ状態のときのドレインの漏れの増加があります。eGaN FETのゲート故障の支配的なメカニズムは、高いゲート電圧における拡張された動作によって生じるオフ状態のドレイン漏れの増加であり、これは、ゲート電圧によって非常に加速されます。

HTGB故障の電圧加速を決めるために、テストのマトリクスはすべて、温度150°Cで、電圧は6 Vと6.7 Vの間で実施しました。この電圧範囲は、eGaN FETの安全な動作範囲である6V未満の範囲外であることに注意してください。各電

圧レグは、32個の部品から成り、部品は、3つの増加量、すなわち、24時間、100時間、200時間の後に選抜しました。

データは、HTRB加速試験について記載されたものと同じ方法を使って分析しました。生の故障までの時間は、各電圧レグのワイブル分布に適合しました。MLEパラメータ(そして信頼区間)を使って、 V_{GS} に対するMTTFとFIT率を算出しました。これを、それぞれ図3 (a)と図3 (b)に示しました。データを補間した青緑色の実線は、最適な加速指数関数です。これは、演繹的で理論的な根拠に基づいて選びませんでしたが、データへの合理的な適合を提供しています。

この加速関数を使えば、MTTFは、通常の安全な動作範囲内でのゲート電圧で予測することができます。6 V (データシートの制限)で、MTTFは、150°Cのときに10年を十分に超えています。指定された確率レベル(例えば、1%、0.1%)での故障までの時間を予測するためには、ワイブル・フィットの精度を高めるために、さらにデータを収集する必要があります。

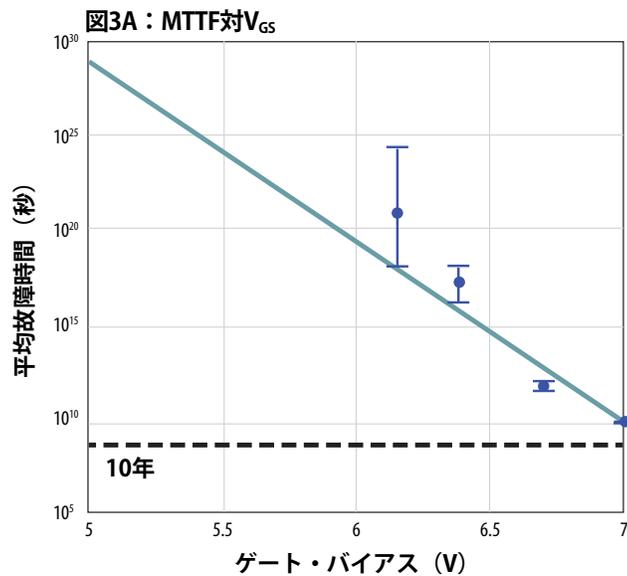


図3(a) 150°Cのときのゲート電圧に対するゲートの平均故障時間 (MTTF)。黒色の破線は10年を示します。

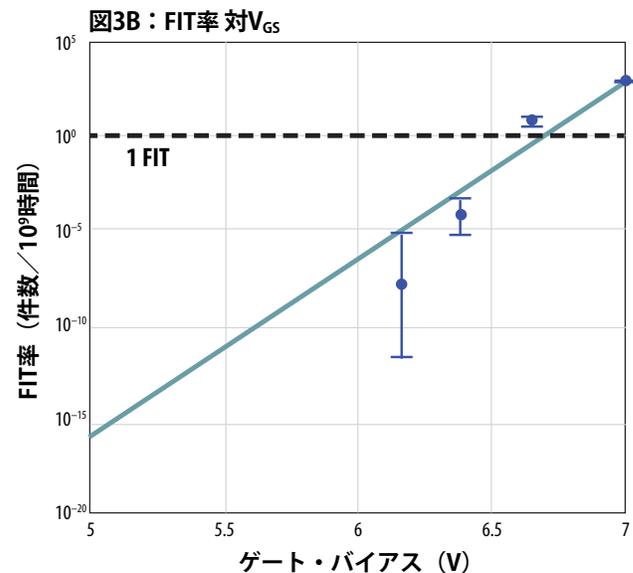


図3(b) 150°Cでの故障発生件数 (FIT) の比率対ゲート電圧

結論

TO220、LFPACK、SO8などのような従来のパワー・パッケージは、シリコン・ベースの縦型パワー・デバイスを環境から保護するために必要です。EPCのeGaN FETは、従来の半導体パッケージの非効率性を排除するためにチップスケール、または「フリップチップ」形式で製造されます。パッケージに関連する寄生の抵抗やインダクタンスは排除されます。同等のMOSFETに比べて、eGaN FETは、熱インタフェースも小さくなっており、熱抵抗が改善されています [12, 13]。

さらに重要なことは、シリコン・パワーMOSFETの寿命を通して経験してきたすべての潜在的な信頼性の問題が排除されることです。ワイヤー・ボンドがない、エポキシの剥離がない、パッケージ成形時に経験したチップのクラックや調整ブ

ロセスもない——設計者は今、故障に対するメカニカルな要素がより少なく、無駄を最小化した製品を使えます。

この大きな改善を実証するために、デバイスの品質に関する多種多様な標準的なストレスをeGaN FETに与えました。これらのテストは、高温逆バイアス、高温ゲート・バイアス、高温保存、温度サイクル、高温高湿逆バイアス、オートクレーブ、耐湿性、および静電気放電でした。eGaN FETは、耐圧40 V、100 V、200 Vのデバイスでテストしました。部品は、ストレス条件の下で安定しており、デバイス・テストのマトリックスによってカバーされたチップ・サイズに対して十分な品質でした。

技術やフォーム・ファクタの耐久性を、さらに実証するために、これらの製品の最大定格の動作限界を超えて十分にテストされたことは注目に値します。トランジスタの既知の故障メカニズムを加速するために、ドレイン・ソース間のストレスとゲート・ストレスを加えました。これらのテストは、eGaN FET製品が、今日、製造された最終製品の妥当な寿命内で、非常に低い故障確率で動作することができることも示しました。

参考文献

- [1] Yanping Ma, 「EPCのGaNトランジスタの応用準備: フェーズ1テスト」, https://epc-co.com/epc/documents/product-training/EPC_relreport_030510_finalfinal.pdf
- [2] Yanping Ma, 「EPCのGaNトランジスタの応用準備: フェーズ2テスト」, https://epc-co.com/epc/documents/product-training/EPC_Phase_Two_Rel_Report.pdf
- [3] Yanping Ma, 「EPCのGaNトランジスタの応用準備: フェーズ3テスト」, https://epc-co.com/epc/documents/product-training/EPC_Phase_Three_Rel_Report.pdf
- [4] Yanping Ma, 「EPCのGaNトランジスタの応用準備: フェーズ4テスト」, https://epc-co.com/epc/documents/product-training/EPC_Phase_Four_Rel_Report.pdf
- [5] Yanping Ma, 「EPCのGaNトランジスタの応用準備: フェーズ5テスト」, https://epc-co.com/epc/documents/product-training/EPC_Phase_Five_Rel_Report.pdf
- [6] Alex Lidow, Johan Strydom, Michael de Rooij, Yanping Ma, 「GaN Transistors for Efficient Power Conversion」, First Edition, <https://epc-co.com/epc/Products/Publications.aspx>
- [7] S. C. Binari, et al., 「Trapping effects in GaN and SiC microwave FETs」, Proc. IEEE, vol. 90, No.6, pp. 1048-1058, June 2007.
- [8] Donghyun Jin, Jesus del Alamo, 「Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs」, Proceedings of the 2012 24th International Symposium on Power Semiconductor Devices and ICs, pp. 333-336, 3-7 June 2012 - Bruges, Belgium.
- [9] W. Weibull, 「A statistical distribution function of wide applicability」, J. Appl. Mech. Trans. ASME 18 (3): 293-297.
- [10] H. Hirose, 「Maximum likelihood estimation in the 3-parameter Weibull distribution: A look through the Generalized Extreme-value distribution」, IEEE Trans. Dielectr. Electr. Insul., Vol. 3, pp. 43-55, 1996
- [11] William J. Vigrass, 「Calculation of Semiconductor Failure Rates」, http://www.intersil.com/content/dam/Intersil/quality/rel/alculcation_of_semiconductor_failure_rates.pdf
- [12] Alex Lidow, Johan Strydom, Michael de Rooij, David Reusch, 「GaN Transistors for Efficient Power Conversion」, Second Edition, John Wiley and Sons, 2015.
- [13] David Reusch, Johan Strydom, Alex Lidow, 「Highly Efficient Gallium Nitride Transistors Designed for High Power Density and High Output Current DC-DC Converters」, IEEE PEAC 2014, November 2014, Shanghai, China.